

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-284843
 (43)Date of publication of application : 13.10.2000

(51)Int.Cl.

G05F 3/26
 H02M 3/155

(21)Application number : 11-092677
 (22)Date of filing : 31.03.1999

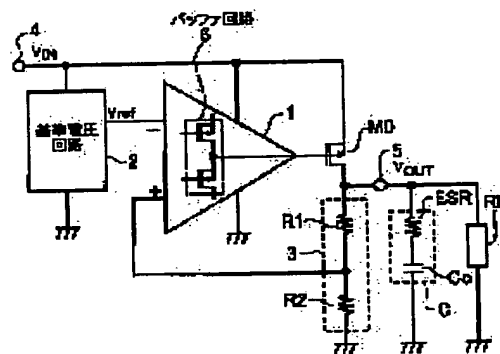
(71)Applicant : FUJI ELECTRIC CO LTD
 (72)Inventor : MIZOE KIMYOSHI
 SEKINE KEITARO
 SHIROICHI KOJI
 HYOGO AKIRA

(54) SERIES REGULATOR POWER SOURCE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a series regulator power source circuit to suppress or reduce cost up of a system, with high stability in operation and high performance.

SOLUTION: This power source circuit is constituted by providing a buffer circuit 6 in which difference between the maximum outputted voltage and inputted voltage V_{IN} of an operational amplifier circuit 1 is within 0.3 V and outputted resistance becomes low at an output stage in the operational amplifier circuit 1 to input reference voltage V_{ref} from a reference voltage circuit 2 and voltage obtained by dividing outputted voltage V_{OUT} from a voltage dividing circuit 3, to control an output control transistor MO of a PMOS-FET (P channel metal oxide semiconductor field effect transistor) by an output signal and to output the stabilized outputted voltage V_{OUT} to an output terminal 5. Thus, operation at low voltage is enabled, the operation is stabilized and use of an output capacitor C with small capacitance is enabled.



LEGAL STATUS

[Date of request for examination] 11.08.2003
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-284843

(P2000-284843A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

G 0 5 F 3/26

G 0 5 F 3/26

5 H 4 2 0

H 0 2 M 3/155

H 0 2 M 3/155

Z 5 H 7 3 0

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号

特願平11-92677

(22) 出願日

平成11年3月31日 (1999. 3. 31)

特許法第30条第1項適用申請有り 1999年1月20日 社団法人電子情報通信学会発行の「電子情報通信学会技術研究報告 信学技報 vol. 98 No. 514」に発表

(71) 出願人

000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者

三添 公義

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者

関根 慶太郎

千葉県野田市山崎2641 東京理科大学内

(72) 発明者

代市 幸司

千葉県野田市山崎2641 東京理科大学内

(74) 代理人

100092152

弁理士 服部 毅蔵

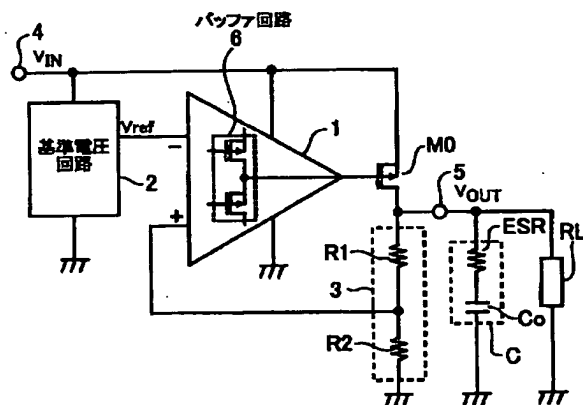
最終頁に続く

(54) 【発明の名称】 シリズレギュレータ電源回路

(57) 【要約】

【課題】 システムのコストアップを抑制あるいは軽減し、動作的に安定性が高く、高性能なシリズレギュレータ電源回路を提供することを目的とする。

【解決手段】 基準電圧回路2から基準電圧 V_{ref} と分圧回路3から出力電圧 V_{OUT} を分圧した電圧とを入力とし、出力信号でPMOS-FETの出力制御トランジスタM0を制御して出力端子5に安定化された出力電圧 V_{OUT} を出力する演算増幅回路1において、その出力段に演算増幅回路1の最大出力電圧と入力電圧 V_{IN} との差が0.3V以内であって出力抵抗が低くなるバッファ回路6を設けた。これにより、低電圧動作が可能になり、動作が安定し、また、小容量の出力コンデンサCを使うことが可能になる。



【特許請求の範囲】

【請求項1】 入力電圧を制御して安定化された出力電圧を得るPMOS-FETの出力制御トランジスタと、前記出力電圧を分圧する分圧回路と、基準電圧を出力する基準電圧回路と、非反転入力に前記分圧回路によって分圧された電圧を入力し反転入力に前記基準電圧を入力し出力を前記出力制御トランジスタのゲートに接続した演算増幅回路とから構成されるシリーズレギュレータ電源回路において、

前記演算増幅回路は、前記出力制御トランジスタを駆動する出力段に、最大出力電圧と前記入力電圧との差を0.3V以内にするとともに出力抵抗を低くするためのバッファ回路を備えていることを特徴とするシリーズレギュレータ電源回路。

【請求項2】 前記バッファ回路は、PMOS-FETのトランジスタによる定電流源と、前記定電流源を負荷としたソースフォロアの構成をとるPMOS-FETのトランジスタとで構成したことを特徴とする請求項1記載のシリーズレギュレータ電源回路。

【請求項3】 前記演算増幅回路は、差動段の電流源回路を、出力抵抗が高く最小動作電圧がMOSトランジスタの最小飽和電圧の2倍以下となるカレントミラー回路で構成したことを特徴とする請求項1記載のシリーズレギュレータ電源回路。

【請求項4】 前記カレントミラー回路は、ソースを前記演算増幅器の電源である入力に接続したPMOS-FETの第1のトランジスタと、ソースを前記演算増幅器の電源である入力に接続し、ゲートを前記第1のトランジスタのゲートに接続したPMOS-FETの第2のトランジスタと、ゲートにバイアス電圧を印加し、ソースを前記第1のトランジスタのドレインに接続し、ドレインを前記第1および第2のトランジスタのゲートおよびバイアス電流源に接続したPMOS-FETの第3のトランジスタと、ゲートに前記バイアス電圧を印加し、ソースを前記第2のトランジスタのドレインに接続し、ドレインを前記差動段への電流出力としたPMOS-FETの第4のトランジスタとで構成したことを特徴とする請求項3記載のシリーズレギュレータ電源回路。

【請求項5】 前記カレントミラー回路は、ソースを前記演算増幅器の電源である入力に接続し、ゲートおよびドレインを第1のバイアス電流源に接続したPMOS-FETの第1のトランジスタと、ソースを前記演算増幅器の電源である入力に接続し、ゲートを前記第1のトランジスタのゲートに接続したPMOS-FETの第2のトランジスタと、ソースを前記演算増幅器の電源である入力に接続し、ゲートおよびドレインを第2のバイアス電流源に接続したPMOS-FETの第3のトランジスタと、ソースを前記第2のトランジスタのドレインに接続し、ゲートを前記第3のトランジスタのゲートに接続し、ドレインを前記差動段への電流出力としたPMOS

-FETの第4のトランジスタとで構成したことを特徴とする請求項3記載のシリーズレギュレータ電源回路。

【請求項6】 前記カレントミラー回路は、ソースを前記演算増幅器の電源である入力に接続し、ドレインをバイアス電流源に接続したPMOS-FETの第1のトランジスタと、ゲートを前記第1のトランジスタのゲートに接続し、ソースを前記演算増幅器の電源である入力に接続し、ドレインを前記差動段への電流出力としたPMOS-FETの第2のトランジスタと、ソースを前記演算増幅器の電源である入力に接続し、ゲートおよびドレインを前記第1および第2のトランジスタのゲートに接続したPMOS-FETの第3のトランジスタと、ゲートを前記第2のトランジスタのドレインに接続し、ソースを前記第1のトランジスタのドレインに接続し、ドレインを前記第1および第2のトランジスタのゲートに接続したNMOS-FETの第4のトランジスタとで構成したことを特徴とする請求項3記載のシリーズレギュレータ電源回路。

【請求項7】 前記演算増幅回路は、前記差動段の次の増幅段を、定電流源と、前記定電流源を負荷とするカスコード増幅回路とで構成したことを特徴とする請求項1記載のシリーズレギュレータ電源回路。

【請求項8】 前記増幅段は、ゲートを前記差動段の出力に接続し、ソースをグランドに接続したNMOS-FETの第1のトランジスタと、ゲートを前記基準電圧を入力する前記差動段の非反転入力に接続し、ソースを前記第1のトランジスタのドレインに接続し、ドレインを前記バッファ回路への入力として前記第1のトランジスタとともに前記カスコード増幅回路を構成するNMOS-FETの第2のトランジスタと、ソースを前記演算増幅器の電源である入力に接続し、ドレインを前記第2のトランジスタのドレインに接続して前記カスコード増幅回路の前記定電流源を構成するPMOS-FETの第3のトランジスタとで構成したことを特徴とする請求項7記載のシリーズレギュレータ電源回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はシリーズレギュレータ電源回路に関し、特に小型化、低電圧化された電子機器および半導体集積回路に電源を供給するシリーズレギュレータ電源回路に関する。

【0002】

【従来の技術】 近年、回路の小型化、低電圧化が進み、回路に電源を供給する電源回路にも小型化、低電圧化が要求されてきている。電源回路には、スイッチングレギュレータ方式、シリーズレギュレータ方式があるが、現在の主流はスイッチングレギュレータ方式である。しかし、スイッチングレギュレータ方式は、その原理動作上スイッチングノイズが不可避免的に発生するため、信頼性が要求される回路にはシリーズレギュレータが用いられ

ている。

【0003】図8は従来のシリーズレギュレータ電源回路の一例を示す図である。このシリーズレギュレータ電源回路は、差動入力をもつ演算増幅回路1と、この演算増幅回路1によって制御される出力制御トランジスタM100と、基準電圧Vrefを発生する基準電圧回路2と、出力電圧変動を検出するための分圧回路3とから構成されている。

【0004】演算増幅回路1は、八つのトランジスタM101~M108を有し、PMOS-FET (P-channel Metal Oxide Semiconductor Field Effect Transistor) のトランジスタM101, M102およびNMOS-FET (N-channel MetalOxide Semiconductor Field Effect Transistor) のトランジスタM108は、A級動作の2段増幅回路を構成し、PMOS-FETのトランジスタM103, M104, M107およびNMOS-FETのトランジスタM105, M106は、2段増幅回路の各トランジスタに一定の電流を供給する定電流源を構成している。また、2段目のトランジスタM108のゲート・ドレイン間には位相補償用のコンデンサCcおよび抵抗Rcが接続され、抵抗Rbiasは2段増幅回路に供給するバイアス電流Ibiasを発生させるためのものである。

【0005】PMOS-FETの出力制御トランジスタM100は、そのソースを非安定化の入力電圧VINに接続し、ゲートを演算増幅回路1の出力に接続し、ドレインをこのシリーズレギュレータ電源回路の出力端子に接続している。この出力端子は、負荷RLに接続され、安定化された出力電圧VOUTを供給する。

【0006】シリーズレギュレータ電源回路の出力端子に接続された分圧回路3は、二つの抵抗R1, R2で構成され、それらの接続点は、演算増幅回路1の一方の入力に接続されている。演算増幅回路1の他方の入力、入力電圧VINから作られた基準電圧Vrefを供給する基準電圧回路2の出力に接続されている。

【0007】なお、シリーズレギュレータ電源回路の出力端子には、負荷RLとともにレギュレート動作を安定させる出力コンデンサCが接続されており、その出力コンデンサCの容量成分をCoとし、抵抗成分をESRとしている。

【0008】ここで、演算増幅回路1は、分圧回路3によって検出された出力電圧と基準電圧Vrefとを入力し、その差を増幅して出力制御トランジスタM100を制御し、出力電圧VOUTを一定に制御する。

【0009】図9は従来のシリーズレギュレータ電源回路の別の例を示す図である。このシリーズレギュレータ電源回路は、演算増幅回路1として、NMOS-FETのトランジスタM111, M112からなる1段の差動増幅回路と、PMOS-FETのトランジスタM113, M114およびNMOS-FETのトランジスタM

115, M116からなる定電流源とで構成されている。また、出力制御トランジスタM100のゲートとドレインとの間には、位相補償用のコンデンサCcおよび抵抗Rcが接続されている。

【0010】このシリーズレギュレータ電源回路においても同様に、演算増幅回路1は、分圧回路3によって検出された出力電圧と基準電圧Vrefとを入力し、その差を増幅して出力制御トランジスタM0を制御し、出力電圧VOUTが一定になるように制御する。

【0011】

【発明が解決しようとする課題】以上の従来のシリーズレギュレータ電源回路においては、演算増幅回路の出力抵抗は高く、さらに低ドロップ出力を実現するため出力制御トランジスタにPMOS-FETを使用しており、出力負荷を含めると電圧増幅の形態となっている。そのため、レギュレート動作を安定させるには出力に接続するコンデンサを数μF以上の容量のものを使用しなければならない。しかし、安定性を良くするためにコンデンサの容量を大きくするという事は、レギュレータ電源回路全体のシステムのコストアップにつながるという問題が生じる。

【0012】また、図8のシリーズレギュレータ電源回路では、最大出力電流を増そうとすると出力制御トランジスタのサイズを大きくしなければならず、それによってゲート容量が増えることにより、位相補償の容量を増やしたり出力段のバイアス電流を増やして演算増幅回路自体の安定性を確保する必要がある。位相補償容量を増やした場合、チップ面積が増え、バイアス電流を増やした場合、消費電流の増加という問題が生じる。

【0013】さらに、図8のシリーズレギュレータ電源回路の演算増幅回路において、差動段に電流を供給しているトランジスタM103, M104によるカレントミラー回路の出力抵抗は r_{ds} であるとする。このカレントミラー回路の構成では、カレントミラー回路の最小動作電圧がMOSトランジスタの最小飽和電圧となり、演算増幅回路の電源である入力電圧を低くできるが、出力抵抗の r_{ds} は数100kΩなので、電源変動すなわち入力電圧の変動の影響を受け易い。差動段が電源変動による誤差を生じると、その誤差を増幅段で増幅し、最終的にシリーズレギュレータ電源回路の出力電圧に入力電圧の変動の影響が出て、シリーズレギュレータ電源回路のリップル除去率が低下するという問題がある。

【0014】本発明はこのような点に鑑みてなされたものであり、システムのコストアップを抑制あるいは軽減し、動作的に安定性が高く、高性能なシリーズレギュレータ電源回路を提供することを目的とする。

【0015】また、本発明は、リップル除去率を改善したシリーズレギュレータ電源回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明では上記問題を解決するために、入力電圧を制御して安定化された出力電圧を得るPMOS-FETの出力制御トランジスタと、前記出力電圧を分圧する分圧回路と、基準電圧を出力する基準電圧回路と、非反転入力に前記分圧回路によって分圧された電圧を入力し反転入力に前記基準電圧を入力し出力を前記出力制御トランジスタのゲートに接続した演算増幅回路とから構成されるシリアルレギュレータ電源回路において、前記演算増幅回路は、前記出力制御トランジスタを駆動する出力段に、最大出力電圧と前記入力電圧との差を0.3V以内にするとともに出力抵抗を低くするためのバッファ回路を備えていることを特徴とするシリアルレギュレータ電源回路が提供される。

【0017】このようなシリアルレギュレータ電源回路によれば、演算増幅回路の出力段に最大出力電圧を入力電圧から0.3V差し引いた電圧以上にまで振ることができバッファ回路を備えたことにより、演算増幅回路は、低ドロップ出力が可能になり、出力制御トランジスタを低出力抵抗で駆動することができるようになる。これにより、このシリアルレギュレータ電源回路の出力に接続する出力コンデンサの容量を小さくすることができるので、システムのコストアップを抑制することが可能になり、ゲート容量の大きい出力制御トランジスタでも位相補償容量を増やすことなく安定した制御動作を行うことができるようになる。

【0018】また、本発明によれば、演算増幅回路の差動段の電流源回路を、出力抵抗が高く最小動作電圧がMOSトランジスタの最小飽和電圧の2倍以下となるカレントミラー回路で構成したことを特徴とする。これにより、差動段の出力に電源電圧の変動に対する変動が生じにくくなり、リップル除去率を向上させることができる。

【0019】さらに、本発明によれば、演算増幅回路の差動段の次の増幅段を、定電流源と、この定電流源を負荷とするカスコード増幅回路とで構成したことを特徴とする。これにより、電源電圧の変動と差動段の出力の変動を等しくさせ、リップル除去率を向上させることができる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。図1は本発明によるシリアルレギュレータ電源回路の基本構成を示す図である。シリアルレギュレータ電源回路は、差動入力をもつ演算増幅回路1と、この演算増幅回路1により制御されるPMOS-FETの出力制御トランジスタM0と、基準電圧Vrefを発生する基準電圧回路2と、出力電圧変動を検出するための分圧回路3とから構成されている。

【0021】分圧回路3は、シリアルレギュレータ電源回路の出力端子5とグランドとの間に直列に接続された二つの抵抗R1、R2から構成され、それらの接続点は

演算増幅回路1の非反転入力に接続される。演算増幅回路1の反転入力には、基準電圧回路2の出力が接続され、基準電圧Vrefが供給される。入力電圧VINが供給されるシリアルレギュレータ電源回路の入力端子4は、演算増幅回路1および基準電圧回路2の電源端子と、出力制御トランジスタM0のソースとに接続されている。出力制御トランジスタM0のゲートは、演算増幅回路1の出力端子に接続され、ドレインは、分圧回路3および出力電圧VOUTが出力されるシリアルレギュレータ電源回路の出力端子5に接続されている。この出力端子5には、負荷RLとレギュレート動作を安定させるための出力コンデンサCとが接続される。この出力コンデンサCにおいて、その容量成分はC0、抵抗成分はESRで示してある。

【0022】ここで、演算増幅回路1の出力段には、バッファ回路6が設けられている。バッファ回路6は、PMOS-FETのトランジスタからなる定電流源を負荷としたPMOS-FETのトランジスタによるソースフォロアの構成にし、定電流源のトランジスタのドレインとソースフォロアのトランジスタのソースとの接続点を演算増幅回路1の出力としている。この演算増幅回路1の出力は、出力制御トランジスタM0のゲートに接続され、出力制御トランジスタM0は、バッファ回路6を介して制御されることになる。

【0023】次に、このシリアルレギュレータ電源回路についてさらに詳細に説明する。まず、シリアルレギュレータ電源回路の周波数特性に着目すると、周波数特性には、出力コンデンサCの容量C0、負荷RLおよび分割抵抗R1、R2で決まる極点周波数fp1と、出力制御トランジスタM0のゲート容量および演算増幅回路1の出力抵抗roで決まる極点周波数fp2と、出力コンデンサCの容量C0および等価直列抵抗ESRで決まる零点周波数fz1との主な極点および零点が存在する。三つの周波数のうち、極点周波数fp1が一番低くなるが、極点周波数fp2と零点周波数fz1との周波数の関係は、出力コンデンサCの種類や演算増幅回路1の構成により決定される。

【0024】シリアルレギュレータ電源回路の動作的安定性を高めるには、極点周波数fp2を零点周波数fz1よりも大きくする必要がある。極点周波数fp1と零点周波数fz1とは出力端子5に接続される負荷RLおよび出力コンデンサCによるが、極点周波数fp2は出力制御トランジスタM0および演算増幅回路1によるため、あらかじめ極点周波数fp2が大きくなるように回路を構成することが必要である。また、出力制御トランジスタM0のゲート容量は、シリアルレギュレータ電源回路の最大出力電流で決まり、最大出力電流が多くなるほど出力制御トランジスタM0のゲート容量は大きくなるので、この容量が大きくなっても極点周波数fp2を高くするには、演算増幅回路1の出力抵抗を低くしなけ

ればならない。

【0025】また、入力電圧と出力電圧との差がなく、負荷電流が僅か0アンペアのとき、出力制御トランジスタM0のゲート・ソース間電圧は、スレッシュホールド電圧より低くなければならない。そのためには、演算増幅回路1の最大出力電圧を入力電圧 V_{IN} から出力制御トランジスタM0のスレッシュホールド電圧を差し引いた値よりも高く設定する必要がある。そのスレッシュホールド電圧は、半導体プロセスやトランジスタの大きさによるので、動作的に安定させるには、演算増幅回路1の最大出力電圧は、入力電圧 V_{IN} から0.3V差し引いた値以上としなければならない。

【0026】以上の演算増幅回路1の出力抵抗を低くすること、および演算増幅回路1の最大出力電圧を入力電圧 V_{IN} から0.3V差し引いた値以上にすることは、演算増幅回路1の出力段にバッファ回路6を設け、そのバッファ回路6をPMOS-FETのトランジスタからなる定電流源を負荷とするPMOS-FETのトランジスタをソースフォロア構成にすることで実現している。このソースフォロア構成にしたとき、PMOS-FETのトランスコンダクタンスを g_m とすると、出力抵抗値は $1/g_m$ となる。この値は、従来回路での演算増幅回路の出力抵抗値よりも2桁小さくなる。この結果、シリースレギュレータの周波数特性において、極点周波数 f_p が2桁大きくなるので、従来回路より安定性が良くなる。

【0027】このように、バッファ回路6により、演算増幅回路1の出力が、最大出力電圧を入力電圧から0.3V差し引いた値以上にし、かつ低出力抵抗となることによって、低ドロップ出力が可能で、出力端子に接続される負荷 R_L および出力コンデンサ C に拘らず、シリースレギュレータの動作安定度を増すことができるようになる。

【0028】図2は本発明によるシリースレギュレータ電源回路の具体的な構成例を示す回路図である。演算増幅回路1は、二つのPMOS-FETのトランジスタM1、M2からなる差動入力段と、この差動入力段に低電流を供給するPMOS-FETのトランジスタM3、M4と、差動入力段の二つのトランジスタM1、M2に等しい電流を流す二つのNMOS-FETのトランジスタM5、M6と、2段目の増幅段を構成するNMOS-FETのトランジスタM8と、このトランジスタM8に定電流を供給するPMOS-FETのトランジスタM7と、バッファ回路6を構成する二つのPMOS-FETのトランジスタM9、M10とから構成されている。なお、抵抗 R_{bias} は、演算増幅回路1のバイアス電流を決めており、他のバイアス電流源回路を用いてもよい。

【0029】バッファ回路6において、トランジスタM10は、ゲートを前段のトランジスタM8のドレインに接続し、ドレインをグランドに接続し、ソースを出力制

御トランジスタM0のゲートに接続して、ソースの出力で出力制御トランジスタM0を制御駆動するソースフォロアの回路構成にしている。また、このトランジスタM10には、定電流源を構成するトランジスタM9が接続されている。このトランジスタM9のソースは入力電圧 V_{IN} を受ける入力端子4のラインに接続され、ドレインはソースフォロアのトランジスタM10のソースに接続され、ゲートは差動入力段に定電流を供給しているカレントミラー回路に接続されている。

【0030】この演算増幅回路1の他の接続に関しては、図1の構成と同じである。すなわち、演算増幅回路1の二つの入力には、基準電圧回路2から基準電圧 V_{ref} と分圧回路3の出力から出力電圧 V_{OUT} を分圧した電圧とをそれぞれ受けるように接続され、出力には、出力制御トランジスタM0のゲートが接続されている。出力制御トランジスタM0のドレインは、分圧回路3およびこのシリースレギュレータ電源回路の出力端子5に接続され、この出力端子5は負荷 R_L と出力コンデンサ C とに接続されている。

【0031】次に、バッファ回路6の定電流源を構成するトランジスタM9について説明する。まず、演算増幅回路1の最大出力電圧 $V_o(max)$ は次のようになる。

【0032】

【数1】

$$V_o(max) = V_{IN} - (V_{GS9} - V_{tp}) \quad \dots (1)$$

【0033】ここで、 V_{IN} は入力電圧、 V_{GS9} はトランジスタM9のゲート・ソース間電圧、 V_{tp} はPMOS-FETのスレッシュホールド電圧である。トランジスタM9のゲート・ソース間電圧 V_{GS9} は次のように表される。

【0034】

【数2】

$$V_{GS9} = \sqrt{\frac{2I_9}{k'(W/L)_9}} + V_{tp} \quad \dots (2)$$

【0035】ここで、 I_9 はトランジスタM9に流れる電流、 $(W/L)_9$ はトランジスタM9のサイズ、 k' はプロセスに依存する定数であって、 $k' = \mu_0 \cdot C_{ox}$ で表される。 μ_0 は移動度、 C_{ox} はゲート絶縁膜の単位面積当りの容量である。

【0036】これより、 $(V_{GS9} - V_{tp})$ はおおよそ0.2V~0.3Vとなる。したがって、演算増幅回路1の最大出力電圧は $V_o(max) \geq V_{IN} - 0.3$ となる。次に、バッファ回路6の、すなわち演算増幅回路1の出力抵抗 r_o について説明する。演算増幅回路1の出力抵抗 r_o は、トランジスタM9の抵抗とトランジスタM10の抵抗との並列抵抗で表される。トランジスタM9の抵抗は r_{ds9} であり、トランジスタM10の抵抗は $1/g_{m10}$ であるので、出力抵抗 r_o は、

【0037】

【数3】

$$r_o = \frac{r_{ds9} \cdot (1/g_{m10})}{r_{ds9} + (1/g_{m10})} \approx 1/g_{m10} \quad \dots (3)$$

【0038】で表される。ここで、トランジスタM9の抵抗 r_{ds9} は、トランジスタM10の抵抗 $1/g_{m10}$ に比べて2桁程度大きいので、出力抵抗 r_o は実質上、トランジスタM10の抵抗 $1/g_{m10}$ で近似することができる。

【0039】したがって、バッファ回路6により演算増幅回路1の出力抵抗を低くすることができ、この低出力抵抗を持つ演算増幅回路1で出力制御トランジスタM0を駆動できることから、レギュレート動作を安定させるために使用される出力コンデンサCは、容量を小さくすることができ、動作安定性が高いだけでなく、システムのコストを下げることができる。

【0040】次に、リップル除去率を考慮したシリーズレギュレータ電源回路について説明する。図3はリップル除去率を考慮したシリーズレギュレータ電源回路の基本構成を示す図である。この図において、演算増幅回路1以外の構成については、図2に示したものと同一であるため、ここでは、演算増幅回路1について詳細に説明する。

【0041】演算増幅回路1は、差動入力段を構成する二つのPMOS-FETのトランジスタM11、M12と、これらのトランジスタM11、M12に流す電流を等しくする二つのNMOS-FETのトランジスタM13、M14と、2段目の増幅段11と、バッファ回路1

$$\Delta V_{DO} = \alpha_1 \cdot \Delta I_{bias} = \alpha_1 \cdot \Delta V_{IN} / A \cdot r_{ds} \quad \dots (5)$$

ここで、 α_1 は、ディメンジョンが抵抗 $[\Omega]$ の定数である。

【0048】次に、2段目の増幅段11において、入力電圧変動 ΔV_{IN} に対する増幅段の出力変動 ΔV_{20} について説明する。定電流源負荷の抵抗を r_{up} 、カスコード接

$$\Delta V_{20} = \frac{r_{dwn}}{r_{up} + r_{dwn}} \cdot \Delta V_{IN} - \alpha_2 \cdot \Delta V_{DO} \quad \dots (6)$$

【0050】となる。ここで、 α_2 は、2段目の増幅段11の増幅率である。最後に、シリーズレギュレータ電源回路における出力制御トランジスタM0のゲート・ソース間電圧の入力電圧変動に対する変動について説明する。なお、演算増幅回路1の出力に設けられたバッファ回路12の入力電圧変動に対する変動は、2段目の増幅段11の出力における変動とほぼ等しい。

【0051】出力制御トランジスタM0のゲート・ソース間電圧の変動 ΔV_{GS} は、

【0052】

【数7】

2と、差動入力段に定電流を供給する電流源である高出力抵抗カレントミラー回路13とから構成される。なお、電流源 I_{bias} は演算増幅回路1に供給するバイアス電流である。

【0042】高出力抵抗カレントミラー回路13は、電流源としての出力抵抗が高く、かつ最小の動作電圧範囲がMOSトランジスタの最小飽和電圧の2倍以下となるようにしている。さらに、演算増幅回路1の増幅段11は、定電流源負荷のカスコード増幅器を用いており、そのカスコード増幅器においては、定電流源負荷のMOSトランジスタの出力抵抗が増幅部のMOSトランジスタの出力抵抗より低くしている。

【0043】ここで、このシリーズレギュレータ電源回路の入力変動の出力への影響を考察してみる。まず、演算増幅回路1の差動入力段の入力電圧変動 ΔV_{IN} に対する差動入力段の出力変動 ΔV_{DO} について説明する。

【0044】差動入力段のカレントミラー回路より供給するバイアス電流 I_{bias} の入力電圧変動に対する変動 ΔI_{bias} は、

【0045】

$$\Delta I_{bias} = \Delta V_{IN} / A \cdot r_{ds} \quad \dots (4)$$

で表される。ここで、 r_{ds} は従来の1段のカレントミラー回路の出力抵抗、Aは高出力抵抗のカレントミラー回路の抵抗利得である。

【0046】式(4)より、差動入力段の出力変動は次のようになる。

【0047】

【数5】

続の増幅MOSトランジスタの抵抗を r_{dwn} とすると、2段目の増幅段11の出力変動 ΔV_{20} は、

【0049】

【数6】

$$\Delta V_{GS} = \Delta V_{IN} - \Delta V_{20}$$

$$= \left(1 - \frac{r_{dwn}}{r_{up} + r_{dwn}} \right) \cdot \Delta V_{IN} + \alpha_2 \cdot \Delta V_{DO} \quad \dots (7)$$

【0053】で表される。このゲート・ソース間電圧の変動 ΔV_{GS} が小さいと、リップル除去率は高くなる。さて、演算増幅回路1の差動入力段の高出力抵抗カレントミラー回路13が高出力抵抗であると、式(5)より、 $A \geq 100$ であり、従来の1段のカレントミラー回路の出力抵抗 r_{ds} に比べてはるかに大きくなることから、

【0054】

【数8】

$$\Delta V_{DO} \approx 0 \quad \dots (8)$$

【0055】とすることができる。したがって、式(7)の ΔV_{D0} を含む2項目を無視することができるため、出力制御トランジスタM0のゲート・ソース間電圧の変動 ΔV_{GS} は、従来より小さくなり、リップル除去率が高くなる。

【0056】さらに、2段目の増幅段11の定電流源負荷の抵抗 r_{up} とカスコード接続された増幅用MOSトランジスタの抵抗 r_{dwn} との関係が、 $r_{dwn} \gg r_{up}$ であるならば、

【0057】

【数9】

$$\frac{r_{dwn}}{r_{up} + r_{dwn}} \approx 1 \quad \dots (9)$$

【0058】と近似することができる。したがって、式(7)の1項目も無視できるようになり、差動入力段の高出力抵抗カレントミラー回路13と合わせることで、ゲート・ソース間電圧の変動 ΔV_{GS} は、0と近似することができる。

【0059】よって、シリーズレギュレータ電源回路のフィードバック系での入力電圧変動に対する影響をなくすことができ、高いリップル除去率を得ることができる。図4はリップル除去率を考慮したシリーズレギュレータ電源回路の具体的な構成例を示す回路図である。ここで、高出力抵抗カレントミラー回路13は、四つのPMOS-FETのトランジスタM15~M18によって2段構成にされている。すなわち、この高出力抵抗カレントミラー回路13では、カレントミラー回路を構成するトランジスタM15、M16は、そのソースを演算増幅回路1の電源入力である入力端子4にそれぞれ接続し、ゲートは互いに接続されている。これらトランジスタM15、M16にカスケード接続されたトランジスタM17、M18は、そのゲートをそれぞれバイアス電圧源 V_{bias} に接続し、トランジスタM17のソースはトランジスタM15のドレインに、ドレインは定電流源 I_{bias} に接続されている。トランジスタM18のソースはトランジスタM16のドレインに、ドレインは差動増幅を行うトランジスタM11、M12のソースに接続されている。そして、トランジスタM15、16のゲートはまた、定電流源 I_{bias} に接続されている。

【0060】この高出力抵抗カレントミラー回路13は、カスコード接続により出力抵抗を高くすることができ、その出力抵抗 r_{CM} は次のように表すことができる。

【0061】

【数10】

$$r_{CM} = (g_{m18} \cdot r_{ds18}) \cdot r_{ds16} \quad \dots (10)$$

ここで、 g_{m18} はPMOS-FETのトランジスタM18のトランスコンダクタンス、 r_{ds18} および r_{ds16} はPMOS-FETのトランジスタM18、M16の出力抵抗である。

【0062】また、この高出力抵抗カレントミラー回路13の最小動作電圧 V_{sat} は次のようになり、これはMOSトランジスタの最小飽和電圧の2倍以下である。

【0063】

【数11】

$$V_{sat} = 2 \cdot \sqrt{\frac{I_{bias}}{k'(W/L)_{16}}} = 0.2 \sim 0.5 \text{ [V]} \quad \dots (11)$$

【0064】図5はリップル除去率を考慮したシリーズレギュレータ電源回路の具体的な別の構成例を示す回路図である。この高出力抵抗カレントミラー回路13は、四つのPMOS-FETのトランジスタM19~M22によって構成され、2組のカレントミラー回路を用い、その電流出力側のトランジスタをカスコード接続した2段構成にしている。すなわち、トランジスタM19、M20は、そのソースを演算増幅回路1の電源入力である入力端子4にそれぞれ接続し、トランジスタM19のゲートは自分のドレインとトランジスタM20のゲートとに接続され、ドレインは定電流源 I_{bias2} に接続されている。トランジスタM21は、ソースを演算増幅回路1の電源入力である入力端子4に接続し、ゲートは自分のドレインとトランジスタM22のゲートとに接続され、ドレインは定電流源 I_{bias1} に接続されている。そして、トランジスタM20のドレインはトランジスタM22のソースに接続され、トランジスタM22のドレインは差動増幅を行うトランジスタM11、M12のソースに接続されている。

【0065】この高出力抵抗カレントミラー回路13においても、差動増幅を行うトランジスタM1、M2に電流を供給する側のトランジスタをカスコード接続することによって高出力抵抗を実現しており、その出力抵抗 r_{CM} は次のようになる。

【0066】

【数12】

$$r_{CM} = (g_{m22} \cdot r_{ds22}) \cdot r_{ds20} \quad \dots (10)$$

ここで、 g_{m22} はPMOS-FETのトランジスタM22のトランスコンダクタンス、 r_{ds22} および r_{ds20} はPMOS-FETのトランジスタM22、M20の出力抵抗である。

【0067】また、この高出力抵抗カレントミラー回路13の最小動作電圧 V_{sat} は次のようになり、これはMOSトランジスタの最小飽和電圧の2倍以下である。

【0068】

【数13】

$$V_{sat} = 2 \cdot \sqrt{\frac{I_{bias}}{k'(W/L)_{20}}} = 0.2 \sim 0.5 \text{ [V]} \quad \dots (13)$$

【0069】図6はリップル除去率を考慮したシリーズレギュレータ電源回路の具体的なさらに別の構成例を示す回路図である。この高出力抵抗カレントミラー回路1

3は、三つのPMOS-FETのトランジスタM23～M25および一つのNMOS-FETのトランジスタM26によって構成され、カスコード接続によらずに高出力抵抗を実現した構成にしている。すなわち、トランジスタM23、M24、M25は、そのソースを演算増幅回路1の電源入力である入力端子4にそれぞれ接続し、ゲートは互いに接続されている。トランジスタM23のドレインは定電流源I_{bias}に接続され、トランジスタM24のドレインは差動増幅を行うトランジスタM11、M12のソースに接続され、トランジスタM25のドレインはトランジスタM23、M24、M25のゲートに接続されている。トランジスタM26のゲートはトラン

ジスタM24のドレインに接続され、ソースはトランジスタM23のドレインに接続され、ドレインはトランジスタM23、M24、M25のゲートに接続されている。

【0070】このように、トランジスタM25、M26によりトランジスタM24に帰還をかけることで、トランジスタM24の出力抵抗を高くしている。したがって、この高出力抵抗カレントミラー回路13の出力抵抗 r_{CM} は次のようになる。

【0071】

【数14】

$$r_{CM} = r_{ds24} \left(1 + \frac{g_{m23} \cdot g_{m26} \cdot r_{ds23} \cdot R_{25}}{g_{m26} \cdot r_{ds23} + g_{m23} \cdot R_{25}} \right) \cdots (14)$$

【0072】ここで、 g_{m23} および g_{m26} はPMOS-FETのトランジスタM23、M26のトランスコンダクタンス、 r_{ds23} および r_{ds24} はPMOS-FETのトランジスタM23、M24の出力抵抗、 R_{25} は g_{m25} および r_{ds25} をPMOS-FETのトランジスタM25のトランスコンダクタンスおよび出力抵抗とするととき(1/

g_{m25})/ r_{ds25} である。

【0073】また、この高出力抵抗カレントミラー回路13の最小動作電圧 V_{sat} は次のようになり、これはMOSTランジスタの最小飽和電圧以下である。

【0074】

【数15】

$$V_{sat} = \sqrt{\frac{I_{bias}}{k'(W/L)_{24}}} = 0.1 \sim 0.25 \text{ [V]} \cdots (15)$$

【0075】以上のように、差動入力段に電流を供給する部分を高出力抵抗カレントミラー回路13によって構成することにより、入力電圧 V_{IN} の変動に対してこの差動入力段における出力変動を小さくすることができ、これによってリップル除去率を改善することができる。このリップル率は、2段目の増幅段11において、定電流源負荷のトランジスタの出力抵抗を増幅部のトランジスタの出力抵抗より低くして入力電圧 V_{IN} の変動と増幅段11の出力の変動を等しくすることによってさらに改善することができる。

【0076】図7はリップル除去率の改善を考慮したシリーズレギュレータ電源回路の具体的な構成例を示す回路図である。図示の構成例によれば、増幅部のトランジスタをカスコード接続の構成にすることによって増幅部の出力抵抗を高め、定電流源負荷のトランジスタの出力抵抗を増幅部のトランジスタの出力抵抗より低くなる回路構成にしている。

【0077】2段目の増幅段11において、増幅部は、二つのNMOS-FETのトランジスタM27、M28によって構成され、定電流源は、二つのPMOS-FETのトランジスタM29、M30によるカレントミラー回路によって構成されている。増幅部において、トランジスタM27のゲートは差動入力段の出力であるトランジスタM12のドレインに接続され、ソースはグランドに接続され、ドレインはトランジスタM28のソースに接続されている。カスコード接続のトランジスタM28

は、そのゲートを基準電圧回路2の出力、すなわち差動入力段のトランジスタM11のゲートに接続している。位相補償用の抵抗 R_c およびコンデンサ C_c は、この増幅部の入出力を構成しているトランジスタM27のゲートとトランジスタM28のドレインとの間に接続されている。定電流源においては、トランジスタM29、M30は、ソースを演算増幅回路1の電源入力である入力端子4にそれぞれ接続し、ゲートは互いに接続されている。トランジスタM29のドレインは自身のゲートとバイアス電流源I_{bias3}とに接続され、トランジスタM30のドレインは増幅部のカスコード接続のトランジスタM28のドレインに接続されている。

【0078】ここで、定電流源のトランジスタM30の抵抗 r_{up} およびカスコード接続された増幅用のトランジスタM27、M28の抵抗 r_{dwn} は、それぞれ次のようになる。

【0079】

【数16】 $r_{up} = r_{ds30} \cdots (16a)$

$r_{dwn} = (g_{m28} \cdot r_{ds28}) \cdot r_{ds27} \cdots (16b)$

ここで、 g_{m28} はトランジスタM28のトランスコンダクタンス、 r_{ds27} 、 r_{ds28} および r_{ds30} はトランジスタM27、M28およびM30の出力抵抗である。これより、 $g_m \gg (1/r_{ds})$ であるから次のように近似できる。

【0080】

【数17】

$$\frac{I_{\text{dwn}}}{I_{\text{up}} + I_{\text{dwn}}} = \frac{(g_{m28} \cdot I_{\text{ds28}}) \cdot I_{\text{ds27}}}{I_{\text{ds30}} + (g_{m28} \cdot I_{\text{ds28}}) \cdot I_{\text{ds27}}} \approx 1 \quad \dots (17)$$

【0081】つまり、増幅部の抵抗 r_{dwn} は定電流源の抵抗 r_{up} よりも十分に大きい関係になり、2段目の増幅段 11 におけるリップル除去率が高くなる。

【0082】

【発明の効果】以上説明したように、本発明では、出力制御トランジスタを制御する演算増幅回路の出力段に、最大出力電圧と前記入力電圧との差を 0.3V 以内にするとともに出力抵抗を低くするためのバッファ回路を備える構成にした。これにより、従来のシリーズレギュレータ電源回路と比べ、動作がより安定になる。また、演算増幅回路の出力抵抗が小さいため、出力に接続される出力コンデンサを $1\mu\text{F}$ 以下にすることが可能であり、さらに等価直列抵抗 ESR の小さいセラミックコンデンサを用いることができるので、システムのコストが下がり、より経済的なシリーズレギュレータ電源回路を構成することができる。

【0083】また、演算増幅回路の差動入力段に電流を供給する電流源回路として出力抵抗が高く最小動作電圧が MOS トランジスタの最小飽和電圧の 2 倍以下となるカレントミラー回路を備え、2段目の増幅段として定電流源負荷のカスコード増幅器を備えるように構成した。これにより、従来のシリーズレギュレータ電源回路と比べ、高いリップル除去率特性を持つシリーズレギュレータ電源回路を実現することができる。また、演算増幅回路の差動入力段にバイアス電流を流すカレントミラー回路はその最小動作電圧が高々 0.5V 程度であるので、入力電圧を低電圧化することが可能である。

【図面の簡単な説明】

【図 1】本発明によるシリーズレギュレータ電源回路の基本構成を示す図である。

【図 2】本発明によるシリーズレギュレータ電源回路の具体的な構成例を示す回路図である。

【図 3】リップル除去率を考慮したシリーズレギュレータ電源回路の基本構成を示す図である。

【図 4】リップル除去率を考慮したシリーズレギュレータ電源回路の具体的な構成例を示す回路図である。

【図 5】リップル除去率を考慮したシリーズレギュレータ電源回路の具体的な別の構成例を示す回路図である。

【図 6】リップル除去率を考慮したシリーズレギュレータ電源回路の具体的なさらに別の構成例を示す回路図である。

【図 7】リップル除去率の改善を考慮したシリーズレギュレータ電源回路の具体的な構成例を示す回路図である。

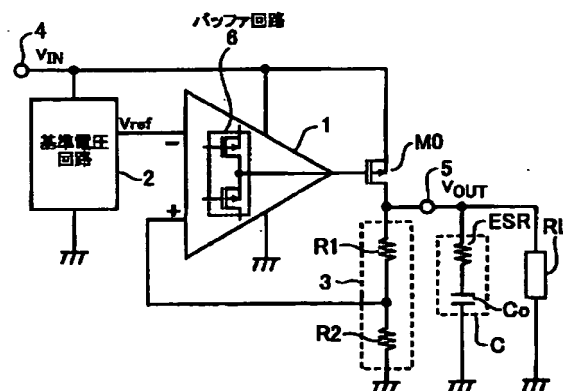
【図 8】従来のシリーズレギュレータ電源回路の一例を示す図である。

【図 9】従来のシリーズレギュレータ電源回路の別の例を示す図である。

【符号の説明】

- 1 演算増幅回路
- 2 基準電圧回路
- 3 分圧回路
- 4 入力端子
- 5 出力端子
- 6 バッファ回路
- 11 増幅段
- 12 バッファ回路
- 13 高出力抵抗カレントミラー回路
- M0 出力制御トランジスタ
- V_{IN} 入力電圧
- V_{OUT} 出力電圧
- R_L 負荷
- C 出力コンデンサ

【図 1】



[illegible]

The schematic diagram shows a power MOSFET driver circuit. An input signal V_{IN} is connected to a network of MOSFETs $M103$, $M104$, and $M107$. A base voltage divider (2) provides a reference voltage V_{ref} to MOSFET $M101$. A biasing network consisting of R_{bias} and I_{bias} is connected to the gates of $M101$ and $M105$. MOSFETs $M101$, $M102$, $M105$, and $M106$ are configured in a push-pull arrangement. Feedback capacitors C_c and R_c are connected between the gates and drains of $M101$ and $M102$. The output of the driver is V_{OUT} , which is connected to a load R_L through a network of resistors $R1$, $R2$ and capacitors ESR , C_o , and C . The output network is enclosed in a dashed box labeled 3.

(72)発明者 兵庫 明
千葉県野田市山崎2641 東京理科大学内

Fターム(参考) 5H420 NA32 NB02 NB25 NC02 NC03
NE28
5H730 BB13 DD04 DD28 FD01 FD31